

=> d all

L111 ANSWER 1 OF 1 HCA COPYRIGHT 1998 ACS

AN 125:263371 HCA

TI Manufacture of semiconductor apparatus

IN Tomita, Kenichi

PA Tokyo Shibaura Electric Co, Japan

SO Jpn. Kokai Tokkyo Koho, 5 pp.

CODEN: JKXXAF

PI JP 08222559 A2 960830 Heisei

AI JP 95-26922 950215

DT Patent

LA Japanese

IC ICM H01L021-316

ICS H01L021-205; H01L021-31; H01L021-768

CC 76-3 (Electric Phenomena)

Section cross-reference(s): 75

AB The manuf. involves the following steps; (1) forming a wiring pattern on a semiconductor substrate, (2) forming a reflow SiO₂ film coating with a reflow shape and thickness (thinner than that required for completely covering the wiring pattern) by supplying SiH₄ and H₂O₂ in a chamber of vacuum at .ltoreq.665Pa at between -10.degree. and +10.degree., and (3) accumulating a plasma CVD insulating film. Interlayer insulating films or surficial protective film (top passivation film) with improved insulation can be formed by the method.

ST semiconductor silicon oxide reflow CVD; insulator silicon oxide CVD semiconductor device; protective silicon oxide CVD semiconductor device

IT Semiconductor devices

Vapor deposition processes

(manuf. of semiconductor device by CVD reflow of silicon oxide with plasma CVD insulating film upper coating)

IT Coating materials

Electric insulators and Dielectrics

(silicon oxide; manuf. of semiconductor device by CVD reflow of silicon oxide with plasma CVD insulating film upper coating)

IT 7722-84-1, Hydrogen peroxide, reactions 7803-62-5, Silane, reactions

RL: RCT (Reactant)

(CVD source; manuf. of semiconductor device by CVD reflow of silicon oxide with plasma CVD insulating film upper coating)

IT 7631-86-9P, Silicon dioxide, uses

RL: DEV (Device component use); IMF (Industrial manufacture); PREP (Preparation); USES (Uses)

(manuf. of semiconductor device by CVD reflow of silicon oxide with plasma CVD insulating film upper coating)

IT 78-10-4, Tetraethoxysilane 7664-41-7, Ammonia, reactions 7782-44-7, Oxygen, reactions 10024-97-2, Nitrogen oxide (n₂o), reactions

RL: RCT (Reactant)

(plasma CVD source; manuf. of semiconductor device by CVD reflow of silicon oxide with plasma CVD insulating film upper coating)

(19)日本特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-222559

(43)公開日 平成8年(1996)8月30日

(51)IntCl ⁵	識別記号	片内整理番号	FI	技術表示場所
H01L	21/316		H01L 21/316	I
	21/205		21/205	
	21/31		21/31	C
	21/768		21/90	P
				M

審査請求 未請求 請求項の数5 OL (全5頁)

(21)出願番号 特願平7-26922
(22)出願日 平成7年(1995)2月15日

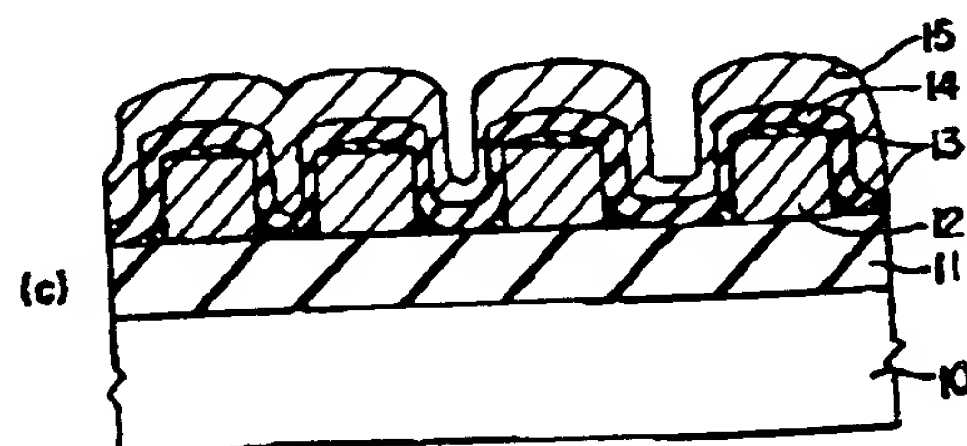
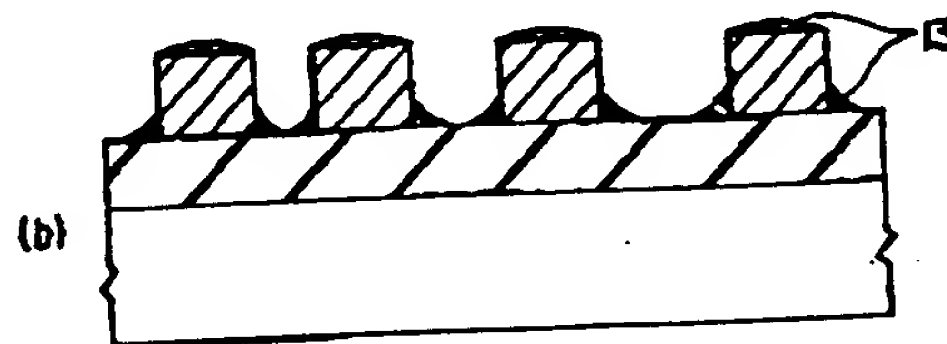
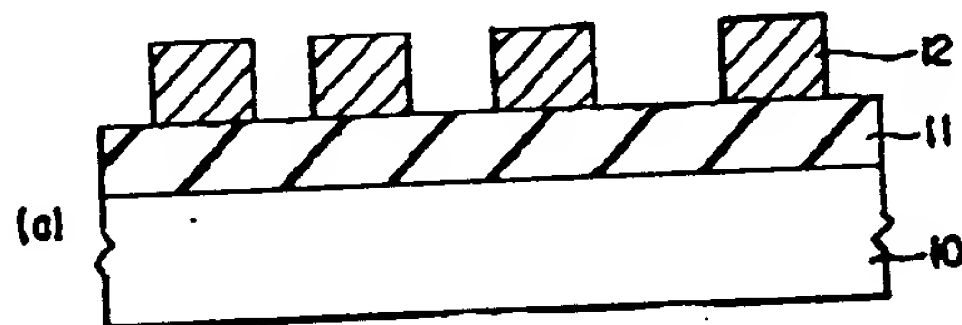
(71)出願人 000009078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 富田 健一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内
(74)代理人 弁理士 鈴木 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際、下地配線の配線間隔部内で隅部の絶縁が脆弱な箇所が発生しないように、絶縁膜の断面がオーバーハング形状を呈さないように防止する。

【構成】半導体基板10上の絶縁膜11上に配線パターン12を形成した後、半導体基板を収容した反応室内にSiH₄ガスおよびH₂O₂を導入し、665Pa以下の真空中、-10℃以上+10℃以下の温度範囲内で互いに反応させ、リフロー形状を有するリフローSiO₂膜13を配線パターンを完全には被覆しない膜厚まで形成する工程と、これに引き続き、真空中で選択的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜14を堆積形成する工程とを具備することを特徴とする。



(2)

特開平8-222559

1

【特許請求の範囲】

【請求項1】 半導体基板上の絶縁膜上に配線パターンを形成する工程と、上記配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2O_2 を導入し、665Pa以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜を上記配線パターンを完全には被覆しない膜厚まで形成するリフロー膜形成工程と、上記リフロー膜形成工程に引き続き、所定の真空中で連続的に前記半導体基板上にプラズマCVD法により

プラズマCVD絶縁膜を堆積形成するプラズマCVD絶縁膜形成工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記プラズマCVD絶縁膜形成工程は、 SiH_4 と N_2O とを主たる反応として 300°C 以上、 400°C 以下の温度範囲内でプラズマCVD- SiO_2 膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記プラズマCVD絶縁膜形成工程は、 SiH_4 と NH_3 とを主たる反応として 300°C 以上、 400°C 以下の温度範囲内でプラズマCVD- SiN 膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記プラズマCVD絶縁膜形成工程は、 TEOS と O_2 とを主たる反応として 300°C 以上、 400°C 以下の温度範囲内でプラズマCVD- SiO_2 膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 請求項1乃至4のいずれか1記載の半導体装置の製造方法において、さらに、前記CVD絶縁膜を形成後の半導体基板を 400°C 以上、 450°C 未満の高温中で30分以上熱処理を行う熱処理工程を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特に多層配線構造を有する半導体装置の層間絶縁膜あるいは表面保護膜（トップ・パッシベーション膜）の形成方法に関する。

【0002】

【従来の技術】半導体装置の集積度の増大につれて多層配線化が進んでおり、層間絶縁膜あるいはトップ・パッシベーション膜の表面形状の平坦化が重要になってきている。ここで、従来の多層配線の形成工程について、図2を参照して説明する。

【0003】まず、半導体基板30上に素子領域（図示せず）、コンタクト領域（図示せず）を形成した後、常圧CVD法により下地絶縁膜31を厚さ1000nm程度成膜する。この後、下地絶縁膜31にコンタクトホールを形成する。

2

【0004】この後、下層配線用の第1の配線材料（例えば Si を1%、 Cu を0.5%を含むアルミニウム）を堆積後、フォトリソグラフィ法、RIE（反応性イオンエッチング）法を用いて配線材料のパターニングを行って下層配線32を形成する。なお、下層配線32の厚さは900nm程度、配線間隔は最小で600nm程度である。

【0005】次に、通常のプラズマCVD法により、下層配線32上にプラズマCVD絶縁膜33を厚さ800nm程度成膜する。しかし、上記したような通常のプラズマCVD法では、LSIデバイスの高集積化に伴って配線32が微細化すると、微細な配線間隔部内でCVD絶縁膜33の成膜が局部的に不十分になる。

【0006】これにより、配線間隔部内の隅部で、プラズマCVD絶縁膜33の膜厚が非常に薄くなり、配線間隔部内でプラズマCVD絶縁膜33の断面がオーバーハング形状を呈するようになる。

【0007】このため、図2中に示すように、配線間隔部にボイドが形成されたり、後の工程でプラズマCVD絶縁膜33上に上層配線用の第2の配線材料を堆積する時および上層配線のパターニング時に悪影響を及ぼし、上層配線の段切れによる断線などの重大な欠陥をもたらすおそれがある。

【0008】このような問題は、層間絶縁膜成膜プロセスとしてのプラズマCVDプロセスが、配線が微細化したことにより技術的な限界に達している一例といえる。また、前記したように微細な配線間隔部内でCVD絶縁膜33の成膜が局部的に不十分になると、配線間隔部内の隅部で、プラズマCVD絶縁膜33の膜質も劣化する。

【0009】従って、上記CVDプロセスをトップパッシベーション膜に適用した場合には、LSIデバイスの外部から水分やアルカリイオンなどが、トップパッシベーション膜下の配線の配線間隔部内の隅部の絶縁が脆弱な箇所からプラズマCVD絶縁膜を透過してデバイス内部に侵入し、デバイスの信頼性が劣化する。

【0010】ところで、層間絶縁膜表面の平坦化技術の1つとして、APL（Advanced Planarisation Layer）プロセスが報告（文献：Matsura et al., IEEE Tech. Dig., pp117, 1994）されている。

【0011】このAPLプロセスは、層間絶縁膜の形成に際して、 SiH_4 ガスと酸化剤である H_2O_2 （過酸化水素水）とを低温（例えば 0°C 程度）・真空中で反応させることにより、下層配線32上に自己流動型（リフロー）の SiO_2 膜（以下、リフロー SiO_2 膜という）を形成するものである。

【0012】この方法は、下層配線の配線相互間の絶縁膜の埋め込みと絶縁膜表面の平坦化を同時に達成でき、1回の成膜で平坦化までの工程を終了するので、多層配線工程の低減化を実現できる。

(3)

特開平8-222559

3

【0013】

【発明が解決しようとする課題】上記したように従来のプラズマCVDプロセスを適用して得られる層間絶縁膜は、下地配線の配線間隔部内での成膜が局部的に不十分になり、配線間隔部内でプラズマCVD絶縁膜の断面がオーバーハング形状を呈するようになるので、配線間隔部にボイドが形成されたり、上層配線の段切れによる断線、短絡などの重大な欠陥をもたらすおそれがあるという問題があった。

【0014】また、従来のプラズマCVDプロセスを適用して得られるトップパッシベーション膜は、デバイス外部から水分やアルカリイオンなどが下地配線の配線間隔部内の隔部の絶縁が脆弱な箇所からプラズマCVD絶縁膜を透過してデバイス内部に侵入し、デバイスの信頼性が劣化するという問題があった。

【0015】本発明は上記の問題点を解決すべくなされたもので、半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際、下地配線の配線間隔部内で隔部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜あるいはトップパッシベーション膜を実現し得る半導体装置の製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上の絶縁膜上に配線パターンを形成する工程と、上記配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2O_2 を導入し、665Pa以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜を上記配線パターンを完全には被覆しない膜厚まで形成するリフロー膜形成工程と、上記リフロー膜形成工程に引き続き、所定の真空中で連続的に前記半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成するプラズマCVD絶縁膜形成工程とを具備することを特徴とする。

【0017】

【作用】本発明では、半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際にリフロー絶縁膜形成技術を採用し、配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2O_2 を導入し、665Pa以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜を上記配線パターンを完全には被覆しない膜厚まで形成する。このリフロー膜形成工程に引き続き、所定の真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成するものである。

【0018】上記リフロー SiO_2 膜は、下地配線の配線間隔部内で表面張力に支配された凹状の断面形状を呈

4

する。このような断面凹状のリフロー SiO_2 膜により配線間隔部内が埋め込まれた状態で、引き続き、真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成する際、配線間隔部内の隔部への反応ガスの供給が助けられるので、配線間隔部内の隔部でも良質なプラズマCVD絶縁膜が十分に成長する。

【0019】これにより、プラズマCVD絶縁膜の成膜後の表面が、断面緩やかな凹状が連続性を持った形状を呈するようになる。従って、層間絶縁膜あるいはトップパッシベーション膜の下地配線の配線間隔部内で隔部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜あるいはトップパッシベーション膜を実現することが可能になる。

【0020】

【実施例】以下、図面を参照して本発明の一実施例を詳細に説明する。図1(a)乃至(c)は、本発明の半導体装置の製造方法の一実施例に係る多層配線工程の一例を示している。

【0021】まず、図1(a)に示すように、半導体基板(例えばシリコン基板)10に素子領域(図示せず)、コンタクト領域(図示せず)を形成した後、常圧CVD法により下地絶縁膜11を厚さ1000nm程度成膜する。この後、下地絶縁膜11にコンタクトホールを形成する。

【0022】次に、下層配線用の第1の配線材料(例えばSiを1%、Cuを0.5%を含むアルミニウム)を例えばスパッタ法により堆積後、フォトリソグラフィ法、RIE法を用いて配線材料のパターニングを行って下層配線12を形成する。なお、下層配線12の厚さは900nm程度、配線間隔は最小で600nm程度である。

【0023】次に、下層配線形成後の半導体基板10を収容した反応室内に SiH_4 ガスおよび H_2O_2 を導入し、5Torr= 5×133.322 Pa(ほぼ665Pa)以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内(例えば 0°C)で互いに反応させ、図1(b)に示すように、リフロー形状を有するリフロー SiO_2 膜13を下層配線12の配線パターンを完全には被覆しない膜厚まで(例えば300nm程度)形成する。上記リフロー SiO_2 膜13は、下層配線12の配線間隔部内で表面張力に支配された凹状の断面形状を呈する。

【0024】上記リフロー膜形成工程に引き続き、所定の真空中で連続的に、図1(c)に示すように、前記リフロー SiO_2 膜13上にプラズマCVD絶縁膜14を堆積形成する。

【0025】上記プラズマCVD絶縁膜14を堆積する際、 SiH_4 ガスと N_2O ガスとを 300°C 以上、 400°C 以下(下層配線の溶融を避ける温度)の温度範囲内

(4)

特開平8-222559

5

で反応させるプラズマCVD法により、 SiH_4 と N_2O とを主たる反応として厚さが800nm程度のプラズマCVD- SiO_2 膜を全面に形成する。

【0026】この際、配線間隔部内の隔部への反応ガスの供給が助けられるので、配線間隔部内の隔部でも良質なプラズマCVD絶縁膜14が十分に成長する。これにより、プラズマCVD絶縁膜14の成膜後の表面が、断面緩やかな凹状が連続性を持った形状を呈するようになり、平坦性の良い層間絶縁膜が得られる。

【0027】この後、必要に応じて、半導体基板を400℃以上、450℃未満の高温下、大気中で30分以上熱処理（ファーンズアニール）を行う。この後、層間絶縁膜にコンタクトホールあるいはビアホールを開孔するためのエッチングを行い、上層配線用の第2の配線材料（例えばSiを1%、Cuを0.5%を含むアルミニウム）を堆積後、パターニングを行って上層配線15を形成する。

【0028】この際、下地のプラズマCVD絶縁膜14の表面は断面緩やかな凹状が連続性を持った形状を有するので、上層配線の段切れによる断線などは発生しない。上記実施例によれば、半導体装置の層間絶縁膜を形成する際、配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2O を導入し、665Pa以下の真空中、-10℃以上+10℃以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー- SiO_2 膜を上層配線パターンを完全には被覆しない膜厚まで形成する。このリフロー膜形成工程に引き続き、所定の真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成した後、必要に応じて半導体基板を400℃以上、450℃未満の高温中で30分以上熱処理を行うものである。

【0029】上記リフロー- SiO_2 膜は、下地配線の配線間隔部内で表面張力に支配された凹状の断面形状を呈する。このような断面凹状のリフロー- SiO_2 膜により配線間隔部内が埋め込まれた状態で、引き続き、真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成する際、配線間隔部内の隔部への反応ガスの供給が助けられるので、配線間隔部内の隔部でも良質なプラズマCVD絶縁膜が十分に成長する。

【0030】これにより、プラズマCVD絶縁膜の成膜後の表面が、断面緩やかな凹状が連続性を持った形状を

6

呈するようになる。従って、層間絶縁膜の下地配線の配線間隔部内で隔部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜を低コストで実現することが可能になる。

【0031】なお、上記実施例におけるプラズマCVD絶縁膜形成工程の変形例として、 SiH_4 ガスと NH_3 ガスとを300℃以上、400℃以下の温度範囲内で反応させるプラズマCVD法により、 SiH_4 と NH_3 とを主たる反応として300℃以上、400℃以下の温度範囲内でプラズマCVD- Si_3N_4 膜を形成したり、TEOS（テトラ・エトキシ・シラン）と O_2 とを主たる反応として300℃以上、400℃以下の温度範囲内でプラズマCVD- SiO_2 膜を形成することが可能である。

【0032】また、上記実施例は、層間絶縁膜を形成する場合を示したが、トップパッシベーション膜を形成する際にも、上記実施例に準じてリフロー- SiO_2 膜およびプラズマCVD絶縁膜を形成することにより、上記実施例に準じた効果が得られるほか、LSIデバイスの外部から水分やアルカリイオンなどが、トップパッシベーション膜下の配線の配線間隔部内の隔部の絶縁が脆弱な箇所からプラズマCVD絶縁膜を透過してデバイス内部に侵入し、デバイスの信頼性が劣化するという問題を防止できる。

【0033】

【発明の効果】上述したように本発明の半導体装置の製造方法によれば、半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際、下地配線の配線間隔部内で隔部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜あるいはトップパッシベーション膜を実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一実施例に係る多層配線工程の一例を示す断面図。

【図2】従来の多層配線工程の一例を示す断面図。

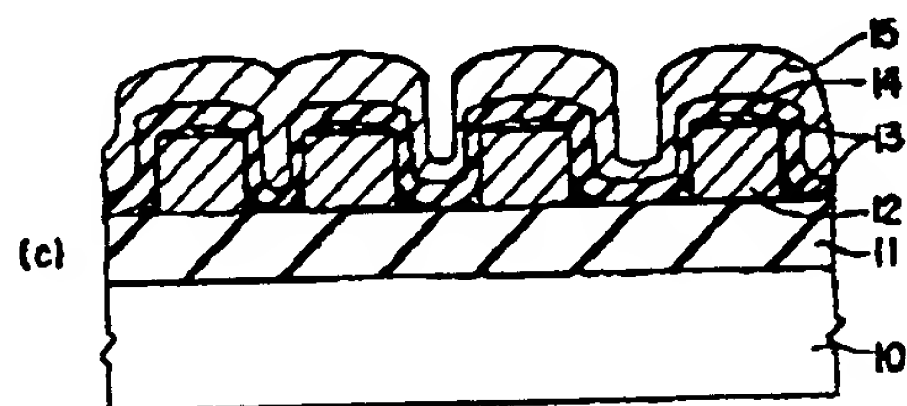
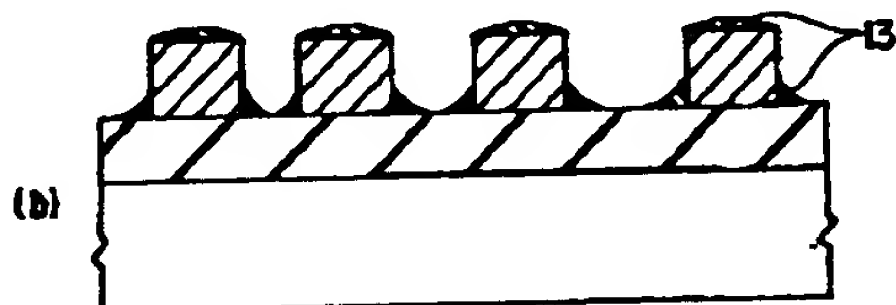
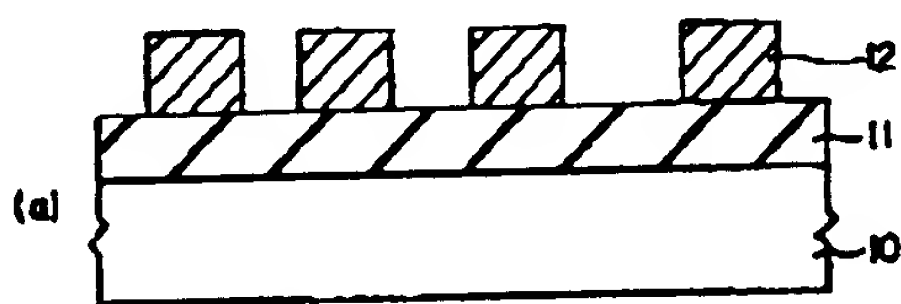
【符号の説明】

10…半導体基板、11…絶縁膜、12…下層配線、13…リフロー- SiO_2 膜、14…プラズマCVD膜、15…上層配線。

(5)

特許平8-222559

【図1】



【図2】

